

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 06029945  
PUBLICATION DATE : 04-02-94

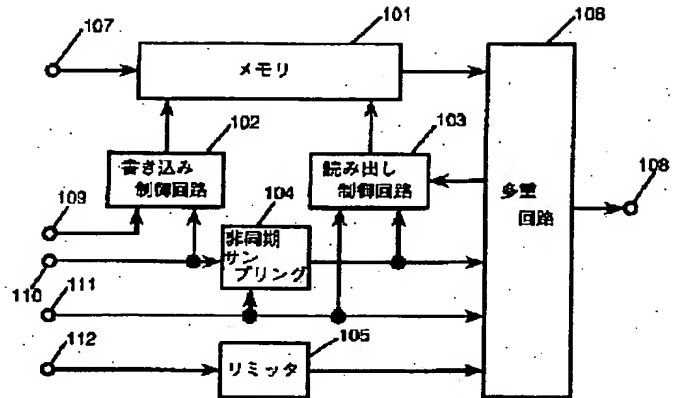
APPLICATION DATE : 10-07-92  
APPLICATION NUMBER : 04183400

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : HANAOKA TETSUO;

INT.CL. : H04J 3/17 H04J 3/00

TITLE : DATA TRANSMITTER AND DATA RECEIVER



ABSTRACT : PURPOSE: To send a digital audio signal and a digital video signal asynchronously with each other through multiplexing by devising the transmitter and receiver such that a bit clock and a sampling clock for a digital audio signal are supplied externally to the data transmitter.

CONSTITUTION: The data transmitter and receiver is provided with an asynchronizing sampling circuit 104 sampling a digital audio sampling clock with a digital video sampling clock, a read control circuit 103 reading data from a memory 101 by using the digital audio sampling clock and the digital video sampling clock, and a multiplexer circuit 106 adding a communication synchronizing signal to each read block of digital audio data being an output of the memory 101 by using the digital audio sampling clock and sending the data while being multiplexed with the digital video data. Thus, the bit clock and the sampling clock for the digital audio signal are supplied externally.

COPYRIGHT: (C)1994,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-29945

(43) 公開日 平成6年(1994)2月4日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 J	3/17	A 4101-5K		
	3/00	M 8843-5K		

審査請求 未請求 請求項の数2 (全 10 頁)

(21) 出願番号 特願平4-183400

(22) 出願日 平成4年(1992)7月10日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 和田 学明

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 花岡 哲郎

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

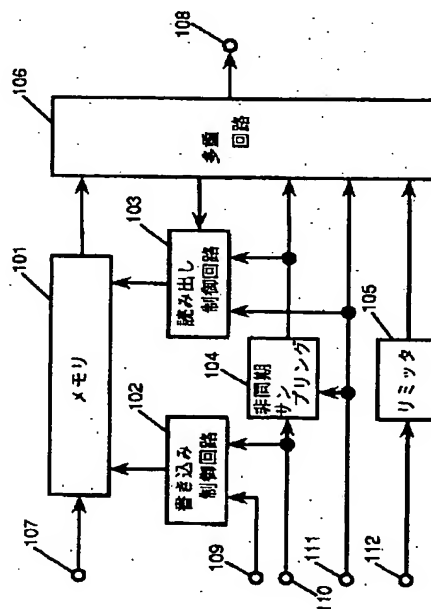
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 データ送信装置とデータ受信装置

(57) 【要約】

【目的】 デジタル音声のためのビット・クロックとサンプリング・クロックを外部からデータ送信装置に供給するようにし、同期していないデジタル音声信号とデジタル映像信号を多重して伝送する。

【構成】 デジタル音声サンプリング・クロックをデジタル映像サンプリング・クロックでサンプリングする非同期サンプリング回路104と、デジタル映像サンプリング・クロックとデジタル音声サンプリング信号によりメモリ101からデータを読み出す読み出し制御回路103と、デジタル音声サンプリング信号により、メモリ101出力のデジタル音声データの読み出しブロック毎に通信同期信号を付加し、デジタル映像のデータと多重して送信する多重回路106を設けることによって、外部からデジタル音声のためのビット・クロックとサンプリング・クロックを供給することができる。



## 【特許請求の範囲】

【請求項1】 デジタル音声のデータを記憶するメモリと、

デジタル音声のデータを取り込むためのビット・クロックとデジタル音声のサンプリング・クロックにより、前記メモリのデータ書き込みを制御する書き込み制御回路と、

前記デジタル音声のサンプリング・クロックをデジタル映像のサンプリング・クロックのタイミングで取り込み、デジタル映像のサンプリング周期単位で変化する信号を出力する非同期サンプリング回路と、

前記非同期サンプリング回路出力信号と、前記デジタル映像のサンプリング・クロックにより前記メモリから、前記デジタル映像のサンプリング・クロックのm周期分（mは1以上の整数）を1ブロックとしてデータを読み出す読み出し制御回路と、

前記非同期サンプリング回路出力信号により、前記メモリ出力のデジタル音声のデータの読み出しブロック毎に通信同期信号を付加し、デジタル映像のデータと多重して送信する多重回路とを備えたデータ送信装置。 20

【請求項2】 受信した信号からデジタル映像のデータと通信同期信号を含んだデジタル音声のデータとを分離し、通信同期信号を含んだデジタル音声のデータから通信同期信号を検出し、通信同期信号以外のデジタル音声信号のデータと通信同期検出信号とデジタル映像信号のデータを出力する分離回路と、

前記分離回路出力のデジタル音声のデータを記憶するメモリと、

前記分離回路出力の通信同期検出信号とデジタル映像のサンプリング・クロックにより前記メモリのデータ書き込みを制御する書き込み制御回路と、

前記分離回路出力のデジタル映像のサンプリング周期単位で変化する通信同期検出信号をn分周（nは1以上の整数）し分周クロックを出力する分周器と、

前記分周出力の分周クロックを基準としてデジタル音声のサンプリング・クロックとビット・クロックを出力するPLL回路と、

前記PLL回路出力のデジタル音声のサンプリング・クロックとビット・クロックによりデジタル音声のデータの読み出しを制御する読み出し制御回路とを備えたデータ受信装置。 30

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はデジタル映像信号に非同期なデジタル音声信号とデジタル映像信号を多重して伝送するデータ送信装置とデータ受信装置に関するものである。

## 【0002】

【従来の技術】 近年、デジタルVTR等のデジタル映像機器の開発が活発化してきている。これにともない 50

デジタルで映像信号や音声信号を多重し、伝送する機器の開発も活発化しており、通信信号処理技術も発展著しいものがある。

【0003】 従来、映像信号と音声信号をデジタルで多重する際、映像信号のサンプリング周波数と音声信号のサンプリング周波数は何らかの整数比で表せる関係になるようにして伝送していた。

【0004】 以下に、NTSCのデジタル映像信号と48kHzサンプリングのデジタル音声信号を多重して伝送する、従来のデータ送信装置について説明する。

【0005】 図5は従来のデータ送信装置の一例を示すブロック図である。図5において、201はデジタル音声のデータを記憶するメモリ、202はメモリの書き込み制御回路、203はメモリの読み出し制御回路、205はデジタル映像のサンプリング・クロックを13125分周する分周器、204はデジタル音声のサンプリング・クロックとデータ取り込みのためのビット・クロックを出力するPLL回路、206は入力されるデジタル映像のデータの取り得る値を制限するリミッタ、207はデジタル映像のデータとデジタル音声のデータを多重し、通信同期信号を付加させて1ビットのシリアル信号に変換する多重回路である。

【0006】 以上のように構成されたデータ送信装置について、以下その動作について説明する。

【0007】 まず、デジタル映像サンプリング・クロック入力端子211より14.31818MHzのデジタル映像サンプリング・クロックが入力される。分周器205ではデジタル映像サンプリング・クロックが13125分周され1.090909kHzのクロックを出力する。

【0008】 PLL回路204では、分周器205出力のクロック（1.090909kHz）を基準に位相周波数比較が行われ、1.090909kHzの整数倍周波数である48.00000kHzのクロックをデジタル音声サンプリング・クロック出力端子209に、3.072000MHzのクロックをデジタル音声ビット・クロック出力端子210に出力している。

【0009】 このPLL回路204についてさらに具体的に説明する。図6はPLL回路204の具体的構成を示したブロック図である。図6において、301は基準クロック入力端子、302は位相周波数比較回路、303は低域通過フィルタ、304は電圧制御発振器、305は分周器、306はデジタル音声サンプリング・クロック出力端子、307はデジタル音声ビット・クロック出力端子である。

【0010】 図6において、電圧制御発振器304からはおよそ12.288MHzのクロックが出力されている。分周器305では、電圧制御発振器304出力のクロックを4分周した約3.072MHzのクロックをデジタル音声ビット・クロック出力端子307に出力

し、さらに64分周した約48kHzのクロックをデジタル音声サンプリング・クロック出力端子306に出力し、さらに44分周した約1.09kHzのクロックを位相周波数比較回路302に出力している。位相周波数比較回路302では、基準クロック入力端子301より入力された1.090909kHzのクロックと、分周器305から出力された約1.09kHzのクロックとの位相比較を行い、誤差信号を低域通過フィルタ303に出力している。低域通過フィルタ303では、位相周波数比較回路302出力の誤差信号の高域成分を除去し、誤差が最小になるよう電圧制御発振器304の発振周波数を制御している。このようにして、基準クロックの整数倍クロックを作り出している。

【0011】再び図5の従来のデータ送信装置において、メモリ201は先入れ先出し型（以下FIFOと略す）となっており、デジタル音声データ入力端子208より入力されたデータが順次書き込まれ、先に書き込まれたデータから順に読み出されデータを出力している。

【0012】書き込み制御回路202では、PLL回路204出力の48.00000kHzクロック（デジタル音声のサンプリング・クロック）と3.07200MHzクロック（デジタル音声のビット・クロック）から、デジタル音声データ入力端子208より入力された信号のうちデータの存在する時間的位置を認識し、データの存在する期間だけ書き込むようにメモリ201の書き込み制御を行っている。

【0013】ここで、デジタル音声のサンプリング・クロック、ビット・クロック、データの一例を示すタイミング図を図7に示す。(a)はサンプリング・クロック、(b)はビット・クロック、(c)はデータであり、48kHzサンプリング・20ビット量子化・2チャンネル(Lch・Rch)のデジタル音声信号を受け渡しするものである。1サンプリング周期の間にビット・クロックは64周期存在し、データとしては64タイムスロットのうち40タイムスロットを使用している。

【0014】リミッタ206では、デジタル映像データ入力端子212より入力される量子化8ビットのデータに対し、FF(16進数；以下hと略す)および00hを禁止し、上限値Feh・下限値01hとなるように符号変換してデジタル映像のデータを出力している。

【0015】多重回路207では、図8のビット・マップに示すように、リミッタ206出力のデジタル映像のデータと、メモリ201出力のデジタル音声のデータをパケット化したものと、通信同期信号を多重して8ビット・パラレル信号にし、さらに1ビット・シリアル信号に変換して送信出力端子213に出力している。通信同期信号と音声信号パケットは映像信号の水平同期期間に挿入され、通信同期信号はデジタル映像信号の910サンプル毎に4サンプル分挿入される。また多重回

路207は、音声信号パケットを挿入している時間的位置を示すパケット・タイミング信号も出力している。

【0016】読み出し制御回路203では、デジタル映像サンプリング・クロック入力端子211より入力されるデジタル映像サンプリング・クロックと多重回路207より出力されるパケット・タイミング信号により、メモリ201の音声データの読み出し制御を行っている。

【0017】次に、従来のデータ受信装置について説明する。図9は従来のデータ受信装置の一例を示すブロック図である。図9において、214は受信信号からデジタル映像のデータとデジタル音声のデータを分離する分離回路、215はデジタル音声のデータを記憶するメモリ、216はメモリ215の書き込みを制御する書き込み制御回路、217はメモリ215の読み出しを制御する読み出し制御回路、218はデジタル映像のサンプリング・クロックを13125分周する分周器、219はデジタル音声のサンプリング・クロックとビット・クロックを出力するPLL回路である。

【0018】以上のように構成されたデータ受信装置について、以下その動作について説明する。

【0019】まず分離回路214では、受信入力端子220より入力された1ビット・シリアル受信信号から通信同期信号を検出することによって同期が取られ、デジタル映像のデータ、デジタル音声のデータを分離し、デジタル映像のデータはデジタル映像データ出力端子225に、デジタル音声データはメモリ215に、デジタル音声データの存在する時間的位置を示す書き込みタイミング信号は書き込み制御回路216に、そしてデジタル映像のサンプリング・クロックをデジタル映像のサンプリング・クロック出力端子224、書き込み制御回路216、分周器218に出力している。ただし、通信同期信号および音声信号パケットの存在していた期間のデジタル映像データは水平同期期間のレベルになるようデータ置き換えを施している。

【0020】分周器218では、分離回路214出力のデジタル映像サンプリング・クロックが13125分周され1.090909kHzのクロックとなって出力している。

【0021】PLL回路219では、分周器218出力のクロック(1.090909kHz)を基準に位相周波数比較が行われ、1.090909kHzの整数倍周波数である48.00000kHzのクロックをデジタル音声サンプリング・クロック出力端子223に、3.07200MHzのクロックをデジタル音声ビット・クロック出力端子222に出力している。

【0022】メモリ215はFIFOであり、分離回路214出力のデジタル音声データが順次書き込まれ、先に書き込まれたデータから順に読み出され、デジタル音声データ出力端子221に出力される。

5

【0023】書き込み制御回路216では、分離回路214出力のデジタル映像サンプリング・クロックと書き込みタイミング信号により、メモリ215の書き込み制御を行っている。

【0024】読み出し制御回路217では、PLL回路219出力のデジタル音声のサンプリング・クロックとデジタル音声のビット・クロックより図7に示すようなタイミングでデータが出力するようメモリ215の読み出し制御を行っている。

【0025】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、デジタル音声のためのビット・クロックやサンプリング・クロックをデータ送信装置から出力しているために、他の映像信号とは非同期なデジタル音声の信号源（例えばDAT）から直接デジタル接続を取ることができないという問題点を有していた。

【0026】本発明は上記従来の問題点を解決するもので、デジタル音声のためのビット・クロックおよびサンプリング・クロックを外部からデータ送信装置に供給するようにし、デジタル映像信号に同期していないデジタル音声信号とデジタル映像信号を多重して伝送できるデータ送信装置とデータ受信装置を提供することを目的とする。

【0027】

【課題を解決するための手段】この目的を達成するために、本発明のデータ送信装置は、デジタル音声のサンプリング・クロックをデジタル映像のサンプリング・クロックのタイミングで取り込みデジタル映像のサンプリング周期単位で変化する信号（以下デジタル音声サンプリング信号と呼ぶ）を出力する非同期サンプリング回路と、デジタル音声サンプリング信号と、デジタル映像のサンプリング・クロックによりメモリから、デジタル映像のサンプリング・クロックのm周期分（mは1以上の整数）を1ブロックとしてデータを読み出す読み出し制御回路と、デジタル音声サンプリング信号により、メモリ出力のデジタル音声のデータの読み出しブロック毎に通信同期信号を付加し、デジタル映像のデータと多重して送信する多重回路からなる構成を有している。

【0028】また、本発明のデータ受信装置は、受信した信号からデジタル映像のデータと通信同期信号を含んだデジタル音声のデータとを分離し、通信同期信号を含んだデジタル音声のデータから通信同期信号を検出し、通信同期信号以外のデジタル音声信号のデータと通信同期検出信号とデジタル映像信号のデータとを出力する分離回路と、分離回路出力の通信同期検出信号とデジタル映像のサンプリング・クロックによりメモリのデータ書き込みを制御する書き込み制御回路と、分離回路出力の通信同期検出信号をn分周（nは1以上の整数）し分周クロックを出力する分周器と、分周器出力の

6

分周クロックよりデジタル音声のビット・クロックとサンプリング・クロックを出力するPLL回路と、PLL回路出力のデジタル音声のサンプリング・クロックとビット・クロックによりデジタル音声のデータの読み出しを制御する読み出し制御回路からなる構成を有している。

【0029】

【作用】本発明は上記した構成により、デジタル音声のサンプリング・クロックをデジタル映像信号のサンプリング・クロックで非同期サンプリングした信号の情報をデジタル音声のデータとあわせて伝送するため、デジタル音声のサンプリング周波数の情報も伝送される。よって、デジタル音声信号のサンプリング・クロックやビット・クロックがデータ受信装置で再生できるため、デジタル映像信号とデジタル音声信号が全く非同期であっても伝送することができる。

【0030】

【実施例】以下、本発明の一実施例について、図面を参照しながら説明する。

【0031】図1は本発明の第1の実施例におけるデータ送信装置のブロック図を示すものである。図1において、101はデジタル音声のデータを記憶するメモリ、102はメモリの書き込み制御回路、103はメモリの読み出し制御回路、104はデジタル音声のサンプリング・クロックをデジタル映像のサンプリング・クロックで非同期サンプリングをする非同期サンプリング回路、105は入力されるデジタル映像のデータの取得値を制限するリミッタ、106は非同期サンプリング回路104の出力信号のタイミングで音声用通信同期信号をデジタル音声のデータに付加し、このデジタル音声のデータとデジタル映像のデータと映像用通信同期信号を多重し、1ビットのシリアル信号に変換する多重回路である。

【0032】以上のように構成された本実施例のデータ送信装置について、以下その動作について説明する。

【0033】まず、デジタル音声データ入力端子107より入力されたデジタル音声のデータは順次メモリ101に書き込まれる。

【0034】メモリ101はFIFOとなっており、先に書き込まれたデータから順にデータが読み出され1ビットのデジタル音声のデータを出力している。

【0035】書き込み制御回路102では、デジタル音声ビット・クロック入力端子109より入力されたデジタル音声のビット・クロック（3.072000MHz）と、デジタル音声サンプリング・クロック入力端子110より入力されたデジタル音声サンプリング・クロック（48.00000kHz）から、デジタル音声データ入力端子107より入力された信号のうちデータの存在する時間的位置を認識し、データの存在する期間だけ書き込むようにメモリ101の書き込み制御

を行っている。デジタル音声信号は図7に示すようなタイミングで入力されており、デジタル音声サンプリング・クロックの半周期毎に20ビットのデータを書き込んでいる。

【0036】非同期サンプリング回路104では、デジタル音声サンプリング・クロック入力端子110より入力されたデジタル音声サンプリング・クロックが、デジタル映像サンプリング・クロック入力端子111より入力されたデジタル映像サンプリング・クロック(14.31818MHz)の立ち上がりのタイミングで取り込まれ、デジタル映像のサンプリング周期を1単位として変化する信号、すなわちデジタル音声サンプリング信号となる。ただし、14.31818MHzで非同期サンプリングを行うため、デジタル音声サンプリング信号は最大69.8nsの波形歪が発生する。これをクロックとしてみた場合、±34.9nsのジッタを持つことになる。また具体的には、非同期サンプリング回路104はDフリップ・フロップ1個で構成されている。

【0037】読み出し制御回路103では、非同期サンプリング回路104出力であるデジタル音声サンプリング信号の変化する毎(立ち上がりとしち下がり)に、デジタル映像サンプリング・クロックを用いて20ビット分読み出している。

【0038】リミッタ105では、デジタル映像データ入力端子112より入力される量子化9ビットのデータに対し、1FFhおよび000hを禁止し、上限値1FEh・下限値001hとなるように符号変換してデジタル映像のデータを出力している。

【0039】多重回路106では、まず図2のタイミング図に示すように、メモリ101出力の1ビットのデジタル音声のデータの先頭に音声用通信同期信号が付加される。デジタル音声サンプリング信号の変化する毎にメモリ101から読み出されるデジタル映像サンプリング・クロックの20タイムスロット分の音声データに対し、その直前4タイムスロットは'H'レベルに、さらにその前の24タイムスロットは'L'レベルにし、計28タイムスロットの音声用通信同期信号を付加させる。なお、20タイムスロットの音声データ、28タイムスロットの音声用通信同期信号以外の区間は'L'レベルにしている。

【0040】そして音声用通信同期信号を付加させたデジタル音声のデータ1ビットと、リミッタ105出力のデジタル映像のデータ9ビットと、映像用通信同期信号を図3のビット・マップに示すように10ビット信号に多重し、さらに1ビット・シリアル信号に変換して送信出力端子108に出力している。

【0041】図3のビット・マップは映像信号1ライン分の10ビット・910サンプルの割り当てを示したもので、映像用通信同期信号は映像信号の水平同期期間に

挿入され、映像用通信同期信号はデジタル映像信号の910サンプル毎に挿入されることになる。映像用通信同期信号は3FFh、000h、000h、000h(各10ビット)を用いており、リミッタ105で禁止した値を用いているため、映像用通信同期信号の位置以外ではこのパターンは現れないようになっている。

【0042】また多重回路106は、音声通信同期信号付きのデジタル音声のデータの出力タイミングと映像通信同期信号の出力タイミングが一致した場合は、映像通信同期信号を優先して出力するよう制御しており、その分音声用通信同期信号付きのデジタル音声のデータは遅延させ、映像通信同期信号の期間をとばして出力している。

【0043】さらに多重回路106は、映像用通信同期信号の期間にはメモリ101からデジタル音声のデータを読み出さないように映像用通信同期位置信号を読み出し制御回路103に出力している。

【0044】図4は本発明の第2の実施例におけるデータ受信装置のブロック図を示すものである。図4において、113は受信信号からデジタル映像データ、音声用通信同期信号を含んだデジタル音声データを分離し、さらに音声用通信同期信号を含んだデジタル音声データから音声用通信同期検出信号を出力する分離回路、114はデジタル音声のデータを記憶するメモリ、115はメモリ114の書き込みを制御する書き込み制御回路、116はメモリ114の読み出しを制御する読み出し制御回路、117は分離回路113出力の音声用通信同期検出信号を128分周する分周器、118はデジタル音声のサンプリング・クロックとビット・クロックを出力するPLL回路である。

【0045】以上のように構成された本実施例のデータ受信装置について、以下その動作について説明する。

【0046】まず、受入力端子119より入力された1ビット・シリアルを受信信号は、分離回路113で映像用通信同期信号の検出を行って、デジタル映像のデータ、音声用通信同期信号を含んだデジタル音声のデータに分離される。ただし、映像通信同期信号の存在していた期間のデジタル映像のデータは水平同期期間のレベルになるようデータ置き換えを施している。そして、分離されたデジタル映像のデータは、デジタル映像データ出力端子124に出力され、デジタル音声のデータからは、さらに音声用通信同期信号の検出が行われ、検出の時間的位置を示し、デジタル映像サンプリング・クロックの1周期だけ'H'レベルになる音声用通信同期検出信号を書き込み制御回路115と分周器117に出力し、音声データ部分のみをメモリ114に出力している。

【0047】分周器117では、分離回路113出力の音声用通信同期検出信号(96.00000kHz)が、分離回路113出力のデジタル映像サンプリング

・クロックで128分周されて750.0000Hzのクロックとなって出力している。

【0048】PLL回路118では、分周器117出力のクロック(750.0000Hz)を基準に位相周波数比較が行われ、750.0000Hzの整数倍周波数である48.00000kHzのクロックをデジタル音声サンプリング・クロック出力端子122に、3.072000MHzのクロックをデジタル音声ビット・クロック出力端子121に出力している。

【0049】メモリ114はFIFOであり、分離回路113出力のデジタル音声データが順次書き込まれ、先に書き込まれたデータから順に読み出され、デジタル音声データ出力端子120に出力される。

【0050】書き込み制御回路115では、分離回路113出力のデジタル映像サンプリング・クロックと音声用通信同期検出信号により、メモリ114の書き込み制御を行っている。音声用通信同期検出信号が立ち上がる毎に20ビットのデータを書き込んでいる。

【0051】読み出し制御回路116では、PLL回路118出力のデジタル音声のサンプリング・クロックとビット・クロックより図7に示すようなタイミングでデータが出力するようメモリ114の読み出し制御を行っている。

【0052】以上のように本実施例によれば、データ送信装置にデジタル音声サンプリング・クロックをデジタル映像サンプリング・クロックで非同期サンプリングする非同期サンプリング回路104と、非同期サンプリング回路104の出力信号のタイミングで音声用通信同期信号をデジタル音声のデータに付加し、このデジタル音声のデータとデジタル映像のデータと映像用通信同期信号を多重し、1ビットのシリアル信号に変換する多重回路106を設け、データ受信装置に音声用通信同期検出信号を出力する分離回路113を設けることによって、デジタル音声のためのビット・クロックおよびサンプリング・クロックを外からデータ送信装置に供給できるようになった。すなわち、デジタル映像信号と同期していないデジタル音声信号であっても正確に伝送することが可能となった。

【0053】また、非同期サンプリング回路104出力のデジタル音声サンプリング信号は、最大デジタル映像サンプリング・クロックの1周期分、すなわち69.8nsの波形歪を持っている。そして、分離回路113出力の音声用通信同期位置信号では、映像用通信同期信号とタイミングが一致した場合、デジタル映像サンプリング・クロックの4周期分遅延してしまうので、データ受信装置での音声用通信同期検出信号を96.00000kHzのクロックとしてみた場合、最大349ns(デジタル映像サンプリング・クロックの5周期分)の波形歪を持っている。すなわち、±197nsのジッタとなるので、このためのクロック精度としては±

9456ppm( $\pm 197 \times 10^{-9} \times 48 \times 10^3 \approx \pm 9456 \times 10^{-6}$ )である。しかし、分周器117で128分周しても最大349nsの波形歪は変わらないため、128分周した750.0000Hzのクロック精度は±148ppm( $\pm 197 \times 10^{-9} \times 750 \approx \pm 148 \times 10^{-6}$ )となり、精度が良くなる。この分周器117出力のクロックを基準としてPLL回路118でデジタル音声のサンプリング・クロックとビット・クロックを発生させているので、分周器117を用いることによってクロックの精度が向上することができた。

【0054】なお、第2の実施例では分周器117の分周比を128としたが、さらに分周比を大きくすることによってPLL回路118出力のデジタル音声信号のサンプリング・クロックやビット・クロックの精度を上げることができる。

【0055】また、本実施例(第1の実施例および第2の実施例)では48kHzサンプリングのデジタル音声信号を伝送したが、PLL回路118のクロック周波数を変更するだけで32kHzサンプリングや44.1kHzサンプリングのデジタル音声信号を伝送することも可能である。

【0056】さらに、本実施例(第1の実施例および第2の実施例)では48kHzサンプリング・20ビット量子化・2チャンネルのデジタル音声信号を伝送したが、デジタル音声データを多重し、シリアル1ビット信号に変換すれば、さらに多チャンネル(例えば4チャンネル)のデジタル音声信号を伝送できることは明かである。

【0057】

【発明の効果】以上のように本発明のデータ送信装置とデータ受信装置は、データ送信装置にデジタル音声サンプリング・クロックをデジタル映像サンプリング・クロックで非同期サンプリングする非同期サンプリング回路と、非同期サンプリング回路の出力信号であるデジタル音声サンプリング信号のタイミングで通信同期信号をデジタル音声データに付加させ、デジタル映像データとともに多重する多重回路を設け、データ受信装置にデジタル音声データから通信同期の時間的位置を示す検出信号を出力する分離回路を設けることによって、デジタル映像信号と同期していないデジタル音声信号であっても正確に伝送することができ、様々なデジタル映像音響機器を接続することを考えれば、実用的効果は大きい。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるデータ送信装置の構成を示すブロック図

【図2】同第1の実施例の動作説明に供する信号の一例を示すタイミング図

【図3】同第1の実施例におけるデータ送信装置のレベル10ビットに多重したときのビット割り当てを示す

11

12

ビット・マップ

【図4】本発明の第2の実施例におけるデータ受信装置の構成を示すブロック図

【図5】従来例におけるデータ送信装置の構成を示すブロック図

【図6】同従来例におけるPLL回路の構成を示すブロック図

【図7】同従来例の動作説明に供する信号の一例を示すタイミング図

【図8】同従来例における映像信号送信装置の平行列8ビットに多重したときのビット割り当てを示すビット・マップ

【図9】従来例におけるデータ受信装置の構成を示すブロック図

【符号の説明】

101, 114, 201, 215 メモリ

102, 115, 202, 216 書き込み制御回路

103, 116, 203, 217 読み出し制御回路

104 非同期サンプリング回路

105, 206 リミッタ

106, 207 多重回路

113, 214 分離回路

117, 205, 218, 305 分周器

118, 204, 219 PLL回路

108, 213 送信出力端子

119, 220 受信入力端子

107, 208 デジタル音声データ入力端子

109 デジタル音声ビット・クロック入力端子

110 デジタル音声サンプリング・クロック入力端子

111, 211 デジタル映像サンプリング・クロック入力端子

112, 212 デジタル映像データ入力端子

120, 221 デジタル音声データ出力端子

121, 210, 222, 307 デジタル音声ビット・クロック出力端子

122, 209, 223, 306 デジタル音声サンプリング・クロック出力端子

123, 224 デジタル映像サンプリング・クロック出力端子

124, 225 デジタル映像データ出力端子

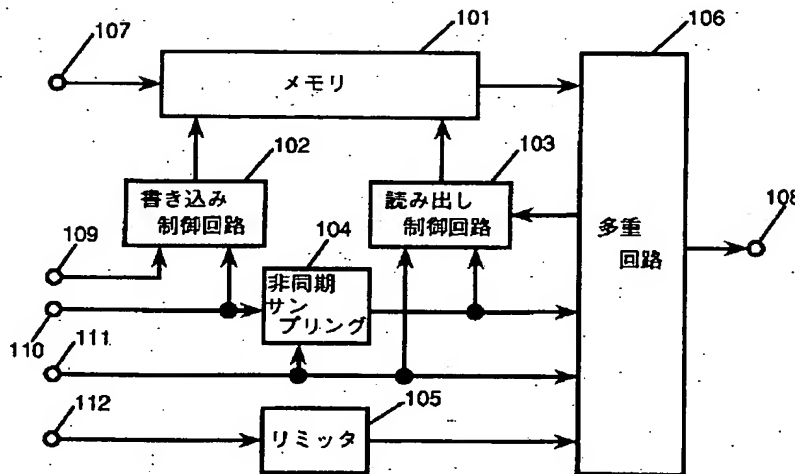
301 基準クロック入力端子

20 302 位相周波数比較回路

303 低域通過フィルタ

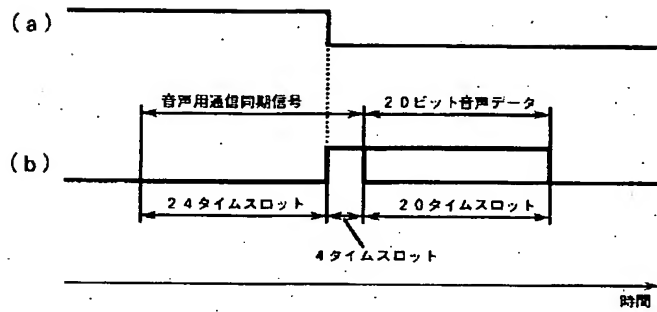
304 電圧制御発振器

【図1】

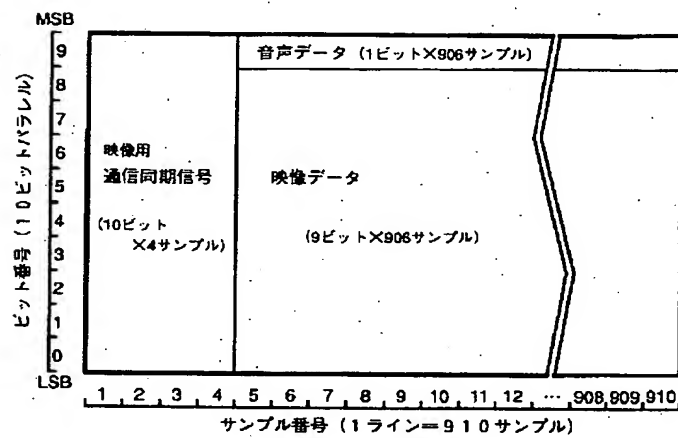




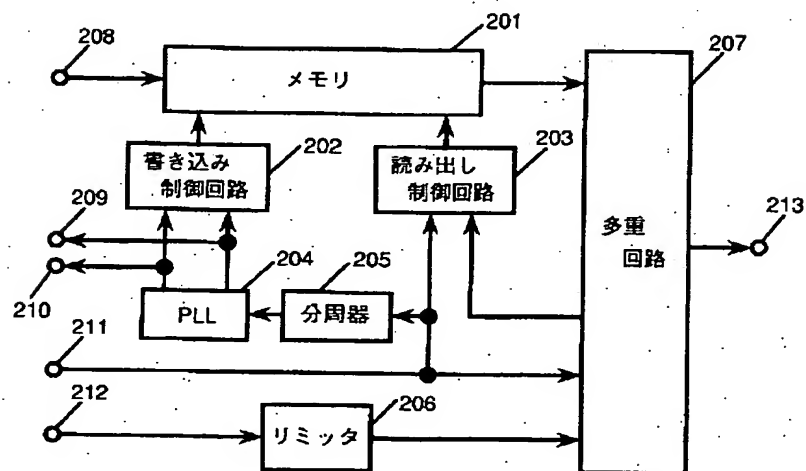
【図2】



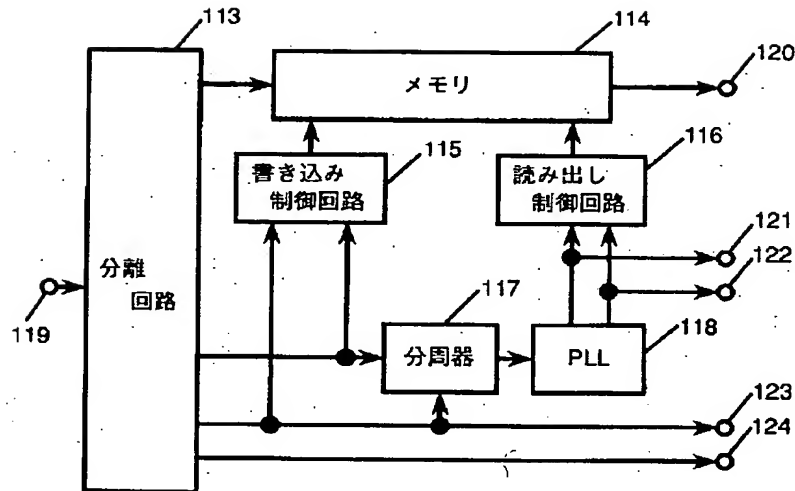
【図3】



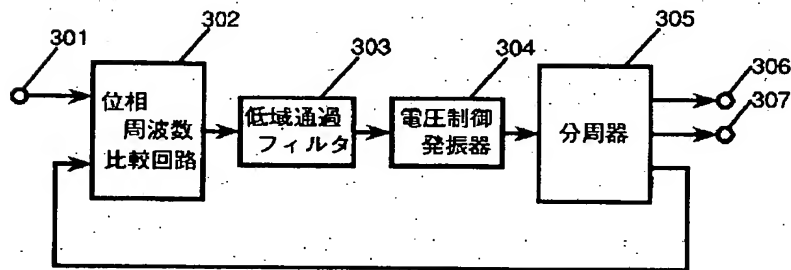
【図5】



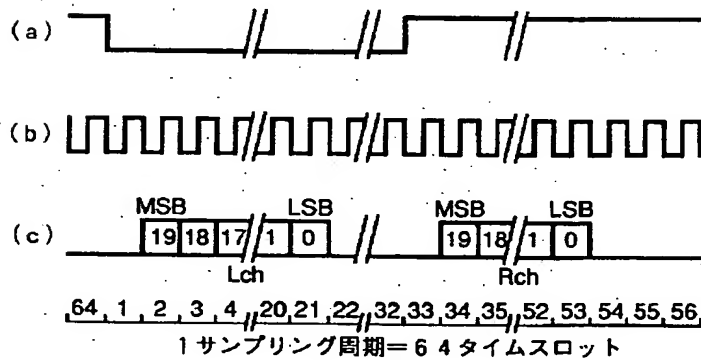
【図4】



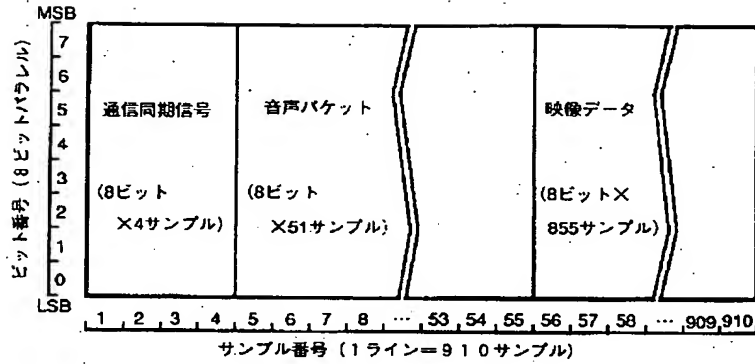
【図6】



【図7】



【図8】



【図9】

